

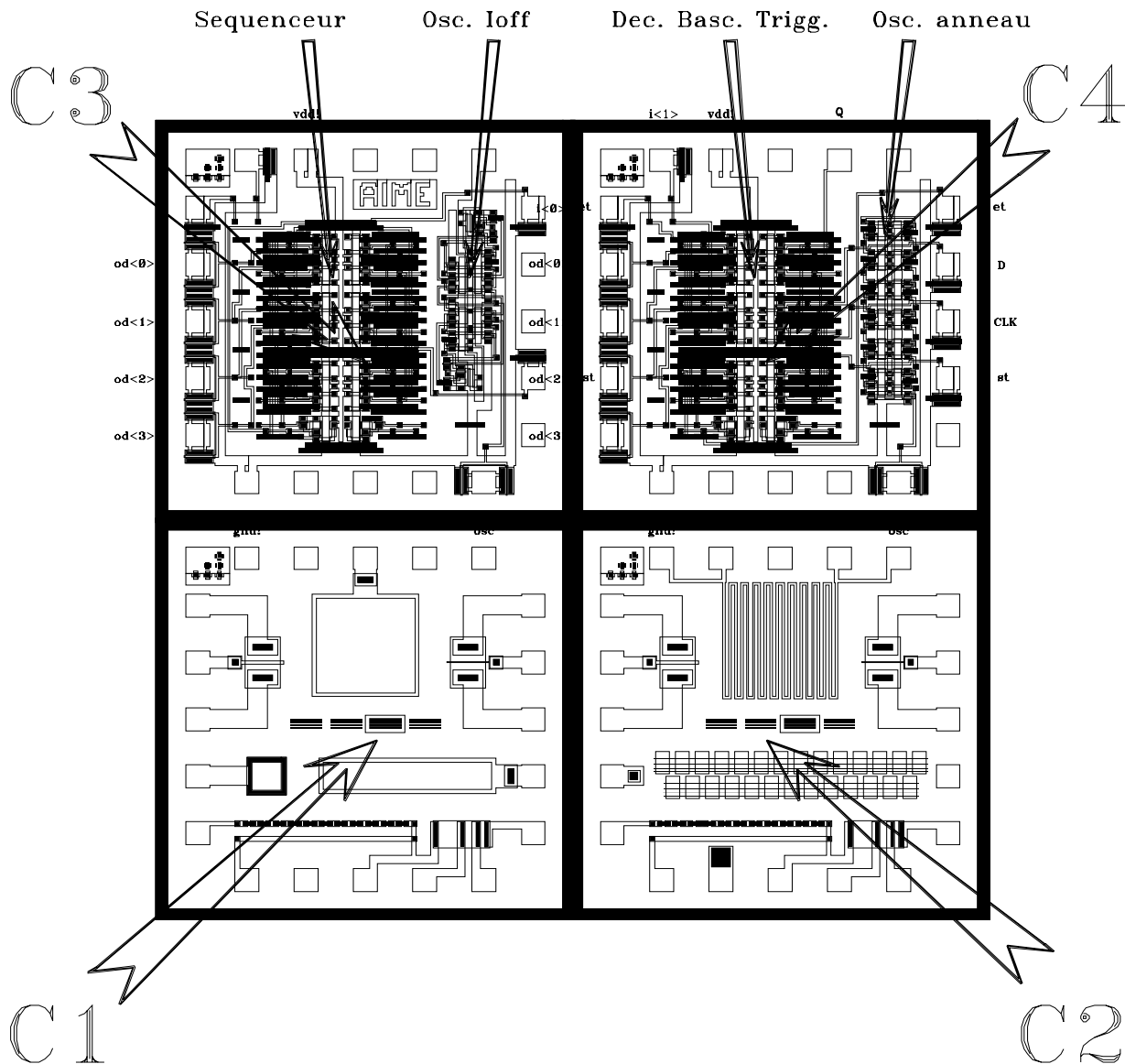
# Le jeu de masques DTC4R

Ce jeu de 4 masques est destiné à la fabrication de circuits NMOS à enrichissement, à grille auto-alignée (process AIME AN4). Il remplace le jeu DTC2 dont il reprend les fonctions de base, avec les modifications suivantes :

- longueur de canal minimale réduite de 10 microns à 6 microns
- densité d'intégration augmentée (facteur 2.32 en surface)
- architecture type "réseau prédiffusé" ("gate array")
- éléments nouveaux : motif test litho, motif de caractérisation des contacts "TLM" et oscillateur à courants de fuite

Il contient 64 répétitions d'un bloc de 4 puces dites C1, C2, C3 et C4.

- C1 et C2 contiennent des dispositifs élémentaires destinés à la caractérisation électrique,
- C3 et C4 contiennent des circuits intégrés basés sur la porte NOR.

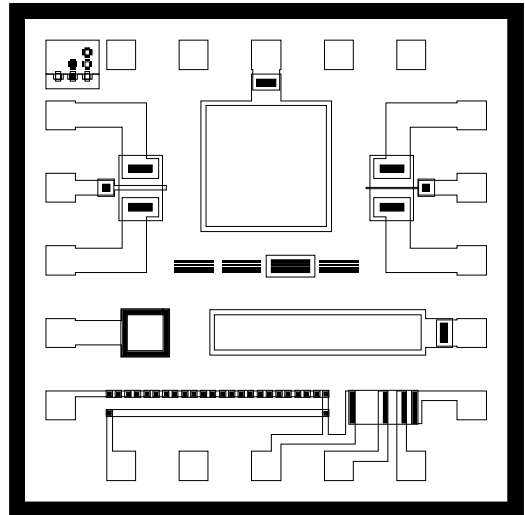


Les 4 puces de DTC4R

# 1. La Puce C1

Les éléments de la puce C1 destinés à la caractérisation électrique sont les suivants :

- Un transistor NMOS "court" (longueur 6 microns, largeur 180 microns)
- Un transistor NMOS "long" (longueur 18 microns, largeur 180 microns)
- Une capacité MOS carrée de 500 microns par 500 microns
- Une capacité MOS rectangulaire de 146 microns par 854 microns
- Une diode N+/P- de 200 microns par 200 microns
- Une résistance diffusée N+ de 31.3 carrés
- Une chaîne de 24 contacts "minimaux" sur diffusion N+
- Un motif de caractérisation des contacts "TLM" sur diffusion N+



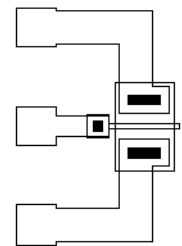
De plus la puce contient sur chaque niveau un motif de test de résolution de lithographie.

## 1.1 Transistors MOS

Les transistors sont symétriques (source et drain identiques), et ont 3 plots de connexion chacun.

La connexion de substrat se fait par la face arrière de la puce.

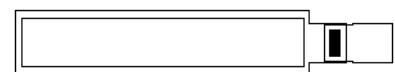
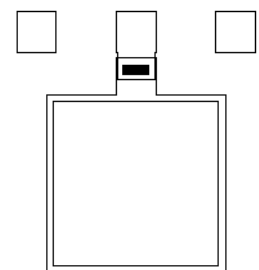
Attention : les caractéristiques du MOS dépendent du potentiel du substrat, qui doit être contrôlé.



## 1.2 Capacités MOS

Les capacités MOS sont destinées à la mesure "C de V" et à la mesure électrique de l'épaisseur de l'oxyde de grille. Dans les deux cas on peut vouloir éliminer les capacités parasite du périmètre et du plot de connexion. Dans ce but on a dessiné deux capacités ayant les mêmes éléments parasites (périmètre et plot) mais des aires différentes, ce qui permet par soustraction des mesures d'éliminer les éléments parasites.

La capacité carrée a une aire de 0.25 mm<sup>2</sup>, la capacité rectangulaire une aire de 0.125 mm<sup>2</sup>



## 1.3 Diode N+/P-

La cathode est une région N+ similaire aux drains et sources des MOS.

L'anode est le substrat (connexion par face arrière).

La connexion de cathode est accessible par un plot. Le contact de cathode est annulaire, ce qui laisse une fenêtre permettant d'exposer la diode à la lumière pour l'utiliser comme photodiode.



## 1.4 Mesures de Résistances

Pour mesurer les paramètres relatifs à la couche N+ on dispose de deux conducteurs :

- une bande de 31.3 carrés (878u \* 28u) et 2 contacts minimaux (16u \* 16u),
- une chaîne de 24 contacts minimaux reliés par 12 bandes totalisant 8.6 carrés.



De la mesure de résistance de ces deux conducteurs on peut déduire :

- la résistance par carré de la couche N+,
- la résistance d'un contact minimal sur N+.

De plus le motif "TLM" permet l'extraction des paramètres des contacts aluminium sur diffusion N+ avec une méthode plus générale. (voir document TLM).

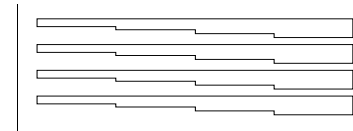


### 1.5 Test de Résolution de Lithographie

Sur chaque niveau, motif de test contient des bandes de 4 largeurs : 4 microns, 6 microns, 8 microns, 10 microns

Les espacements entre les bandes prennent les 4 mêmes valeurs.

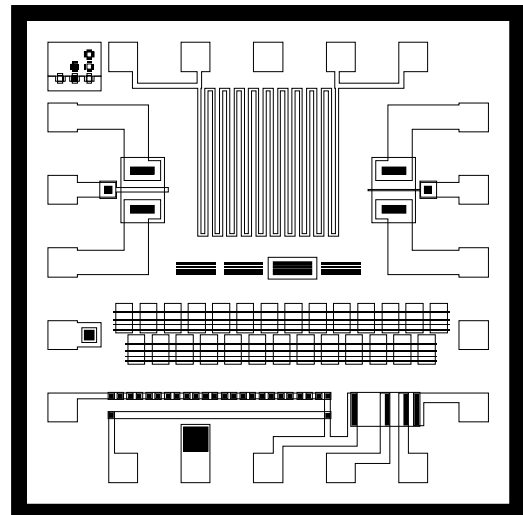
Une reproduction incorrecte des bandes et intervalles de 4 microns n'implique pas l'échec du process, ces éléments étant plus fins que les motifs minimaux utilisés dans les circuits intégrés du même jeu.



## 2. La Puce C2

Les éléments de la puce C2 destinés à la caractérisation électrique sont les suivants :

- Un transistor NMOS "court" (identique a celui de C1)
- Un transistor NMOS "long" (identique a celui de C1)
- Une diode N+/P- de 60 microns par 60 microns
- Une résistance en aluminium de 1033 carrés
- Une résistance en polysilicium de 31.3 carrés
- Une chaîne de 24 contacts "minimaux" sur polysilicium
- Un motif de caractérisation des contacts "TLM" sur polysilicium



De plus la puce contient un motif de test de résolution (identique a celui de C1) et une rangée de motifs pour micro-section.

### 2.1 Diode N+/P-

La cathode est une région N+ similaire aux drains et sources des MOS.

L'anode est le substrat (connexion par face arrière).

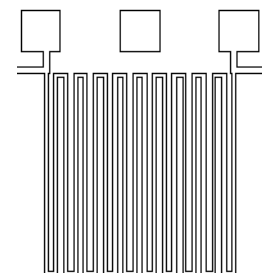
La connexion de cathode est accessible par un plot. Le contact de cathode est opaque, ce qui diminue la sensibilité de la diode à la lumière.



### 2.2 Mesures de Résistances

La résistivité de l'aluminium étant faible, la résistance en aluminium a été dessinée avec une grande longueur. En comptant chaque coude pour 0.6 carré, on obtient un total de 1033 carrés.

Cette résistance est munie de 4 plots pour exclure de la mesure les résistances parasites des connexions.



Pour mesurer les paramètres relatifs à la couche Poly on dispose de deux conducteurs :

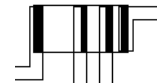
- une bande de 31.3 carrés (878u \* 28u) et 2 contacts minimaux (16u \* 16u),
- une chaîne de 24 contacts minimaux reliés par 12 bandes totalisant 8.6 carrés.

De la mesure de résistance de ces deux conducteurs on peut déduire :

- la résistance par carré de la couche Poly,
- la résistance d'un contact minimal sur Poly.



De plus le motif "TLM" permet l'extraction des paramètres des contacts aluminium sur Poly avec une méthode plus générale. (voir document TLM).



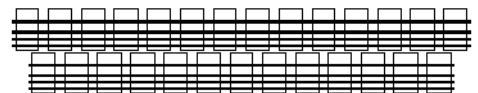
### 2.3 Motifs pour Micro-Section

Ces motifs sont destinés à faciliter l'observation de coupes transversales de transistors MOS.

Ils contiennent des transistors dépourvus de contacts.

Les longueurs de canal disponibles sont :

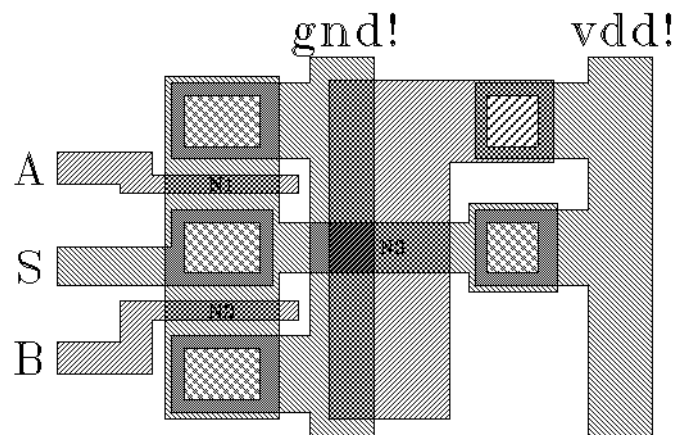
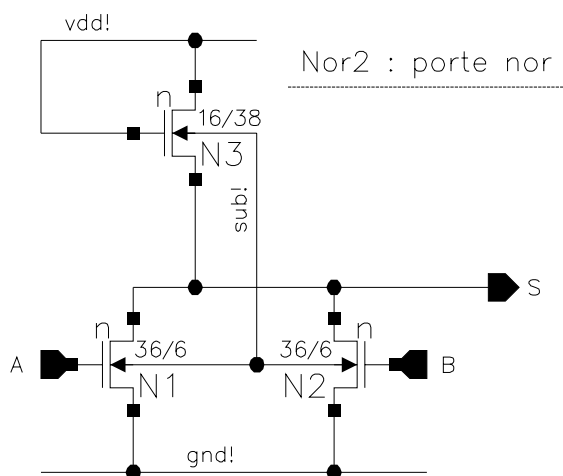
4 microns (deux fois), 5 microns, 6 microns.



### 3. Portes logiques NMOS

Les cellules digitales de ces circuits sont basées sur la porte NOR constituée seulement de transistors à canal N à enrichissement. Cette architecture est similaire à la logique NMOS classique (enrichissement + déplétion), à ceci près que la grille du transistor "pull-up" est polarisée par une tension constante au lieu d'être reliée à la source.

La porte NOR est "universelle", elle permet de réaliser tous les systèmes discrets. En particulier l'inverseur est simplement une porte NOR à une entrée.



Trois modules digitaux sont proposés, par ordre de difficulté croissante :

- un circuit combinatoire : le décodeur 2-vers-4
- un circuit séquentiel : la bascule sensible au front
- un circuit à réaction : le "trigger" de Schmitt

De plus un circuit dédié à la mesure du temps de propagation dans les portes est disponible : l'oscillateur en anneau.

L'architecture "gate array" (réseau prédiffusé) met en oeuvre une disposition régulière des transistors et des connexions en polysilicium (matrice), de telle sorte que la fonction réalisée ne dépende que du dessin des niveaux supérieurs (interconnexions métalliques).

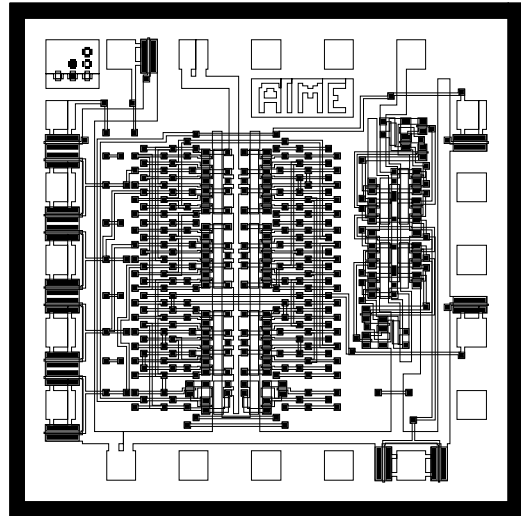
L'intérêt est économique, pour les petites et moyennes séries : les étapes les plus coûteuses de la fabrication sont réalisées sur des puces génériques produites en grande série, la "personnalisation" intervenant seulement à la fin du process.

Le "gate array" AIME est personnalisé seulement par le dernier niveau de masque (Alu).

#### 4. La Puce C3

La puce C3 contient le "séquenceur" constitué de ces 3 modules, réalisés en style "gate array" et interconnectés de la façon suivante :

- l'entrée d'horloge de la bascule reçoit la sortie du trigger de Schmitt,
- la bascule reçoit dans son entrée D reçoit sa propre sortie complémentée Qb (Q-barre), formant ainsi un compteur binaire,
- le décodeur reçoit comme bit de faible poids l'horloge de la bascule, et comme bit de fort poids la sortie Q de la bascule.
- Les sorties du décodeur sont équipées de transistors à drain ouvert placés autour des pads, de largeur suffisante pour commander directement des diodes électroluminescentes (LED) ou les 4 phases d'un petit moteur pas-à-pas.



Si on applique un signal périodique à l'entrée du trigger, les 4 sorties du décodeur vont être activées une par une en séquence. De plus, il est possible d'utiliser le trigger en oscillateur, en lui réinjectant sa sortie via un circuit RC externe.

Toutes les entrées sont protégées contre les décharges électro-statiques (ESD) par un transistor N avec la grille à la masse.

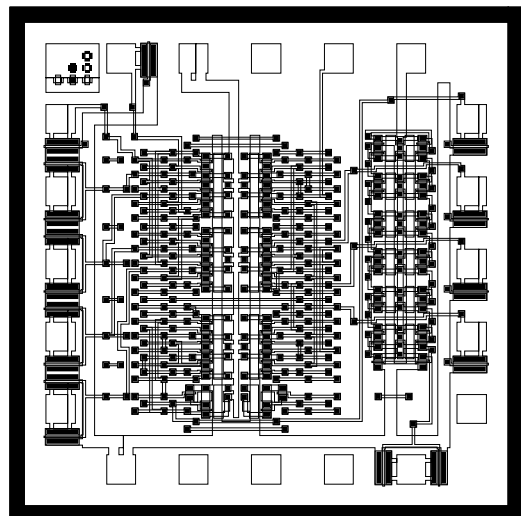
Accessoirement, la puce C3 contient aussi, hors du gate-array, l'oscillateur à courants de fuite dont le but (expérimental) est d'effectuer une évaluation interne du courant de fuite du MOS. Pour une épaisseur d'oxyde de grille donnée, la fréquence d'oscillation est proportionnelle au courant de fuite.

#### 5. La Puce C4

La puce C4 contient les 3 modules trigger, bascule et décodeur également réalisés sur le gate-array, mais munis d'entrées et sorties indépendantes, en vue d'être testés séparément.

C'est en quelque sorte un prototype du séquenceur.

La puce C4 contient aussi, hors du gate-array, l'oscillateur en anneau constitué de 25 inverseurs. Cette structure est utilisée classiquement pour mesurer le temps de propagation des portes logiques. On obtient la valeur du temps de propagation dans un inverseur en divisant par 25 la demi-période du signal obtenu. La sortie est amplifiée par un transistor configuré en drain ouvert, qui doit être relié à une résistance de charge externe de quelques k $\Omega$ .



## 6. Règles de dessin du process AN4

Les règles ont été établies afin d'obtenir un bon compromis rendement de fabrication/densité d'intégration, en présence des inévitables causes d'altération des géométries :

- fabrication des masques
- alignement
- insolation par contact
- développement de la résine
- gravure

N.B. Le masque du niveau 1 a plusieurs appellations possibles :

- Zone active
- Diffusion (abus de langage)
- Ouverture oxyde de grille (abus de langage)

### Règles sur 1 niveau

	largeur mini ( $\mu$ )	espace mini ( $\mu$ )
<b>Zone Active</b>	16	14
<b>Poly</b>	10 ou 6	10
<b>Contact</b>	16	16
<b>Alu</b>	12	12

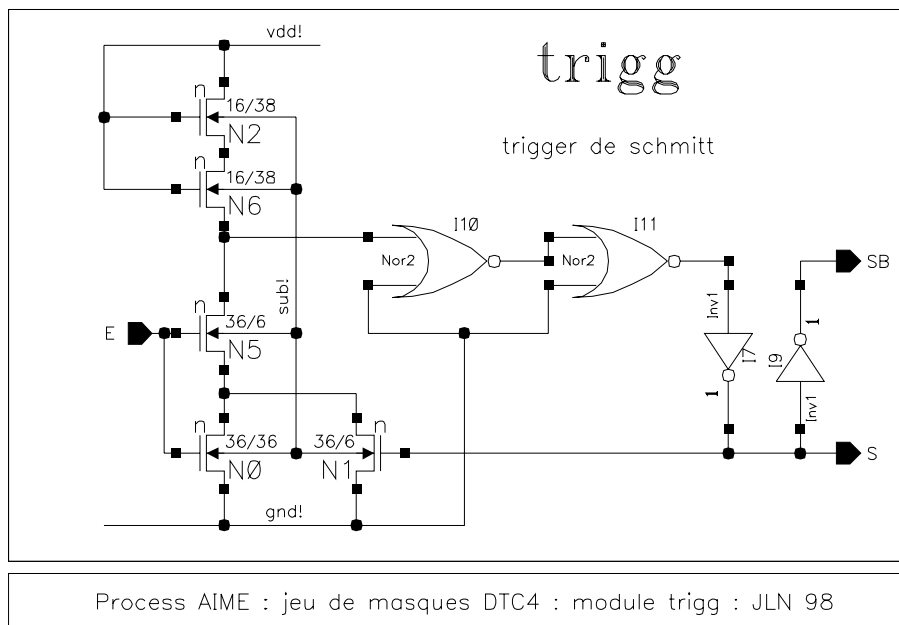
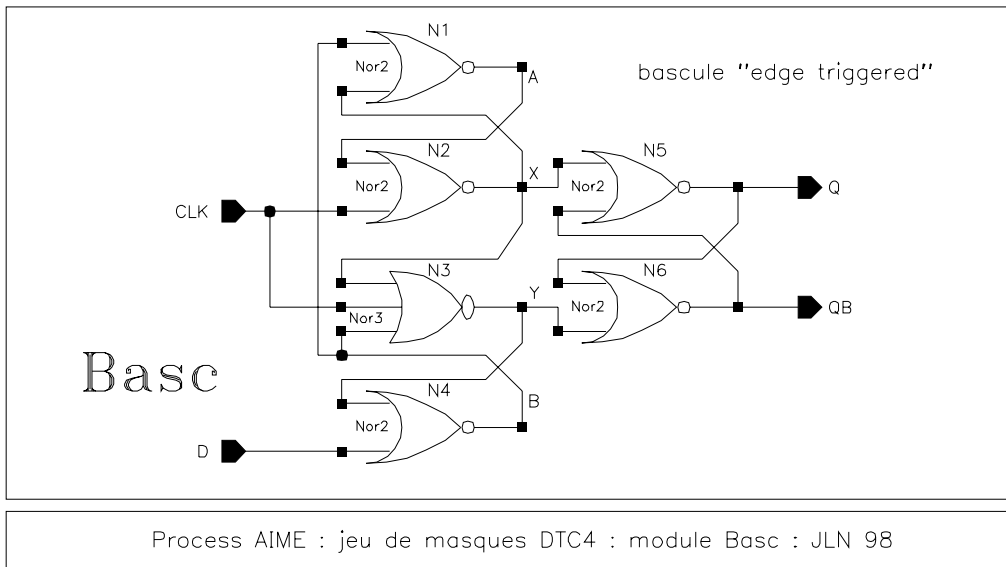
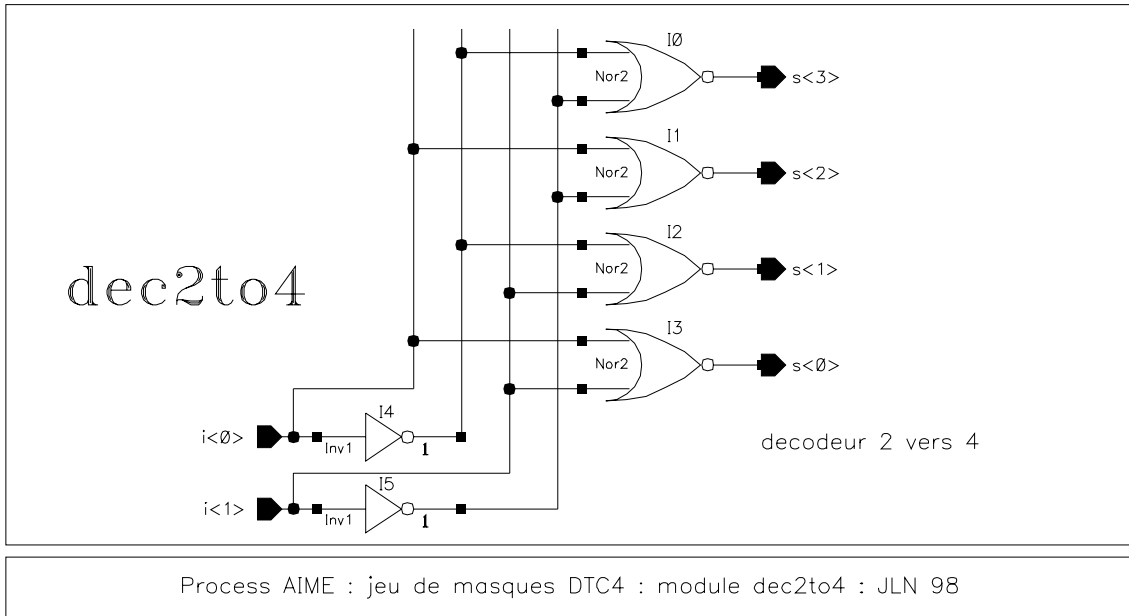
### Marges autour des contacts

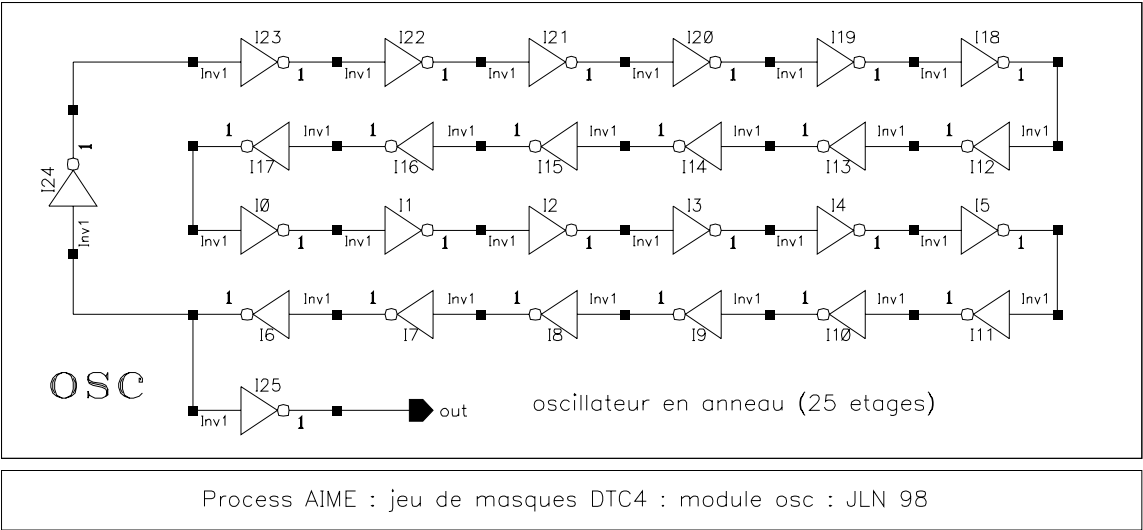
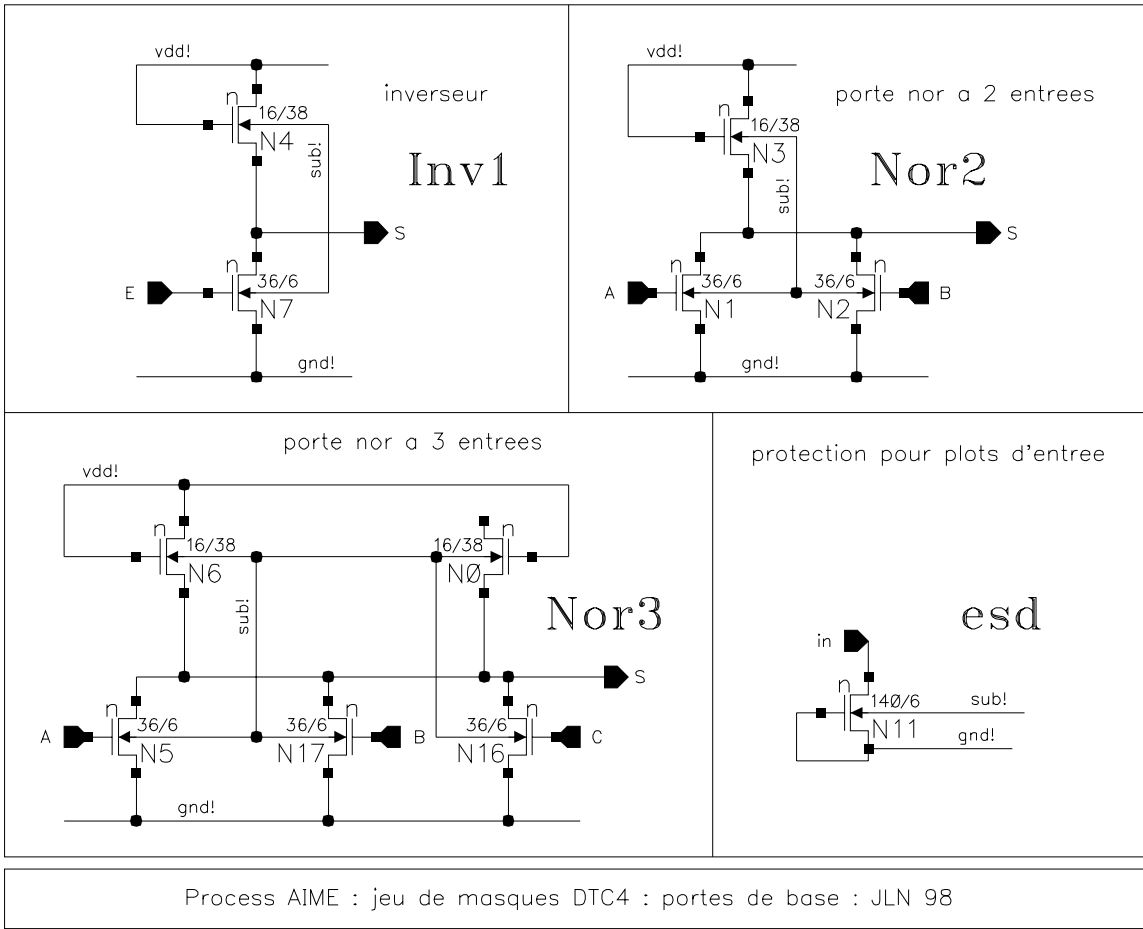
	Zone Active	Poly	Alu
<b>marge (<math>\mu</math>)</b>	6	5	4

### Règles sur deux niveaux

<b>espace Zone Active - Poly</b>	4
<b>espace Contact - Canal MOS</b>	9
<b>extension Poly au delà du canal</b>	6
<b>extension Zone active au delà du canal</b>	10

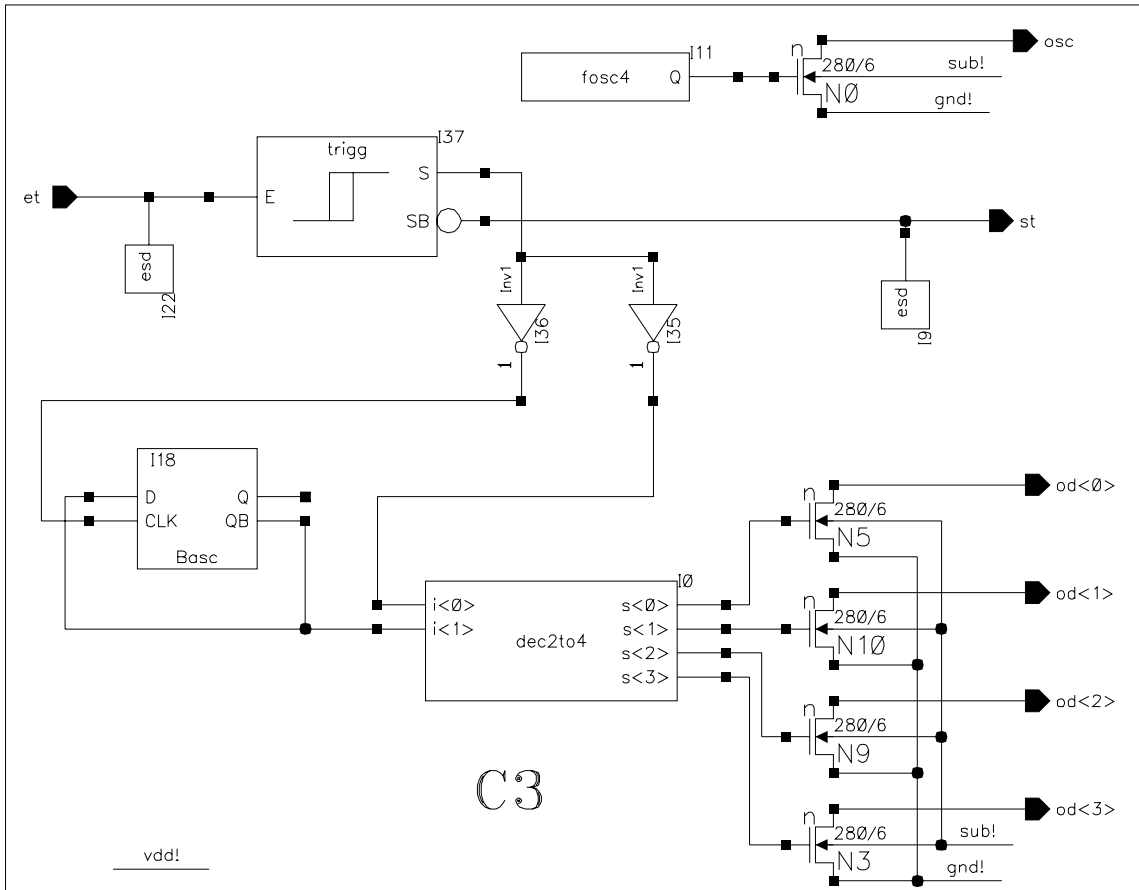
## 7. Annexe A : schémas complets



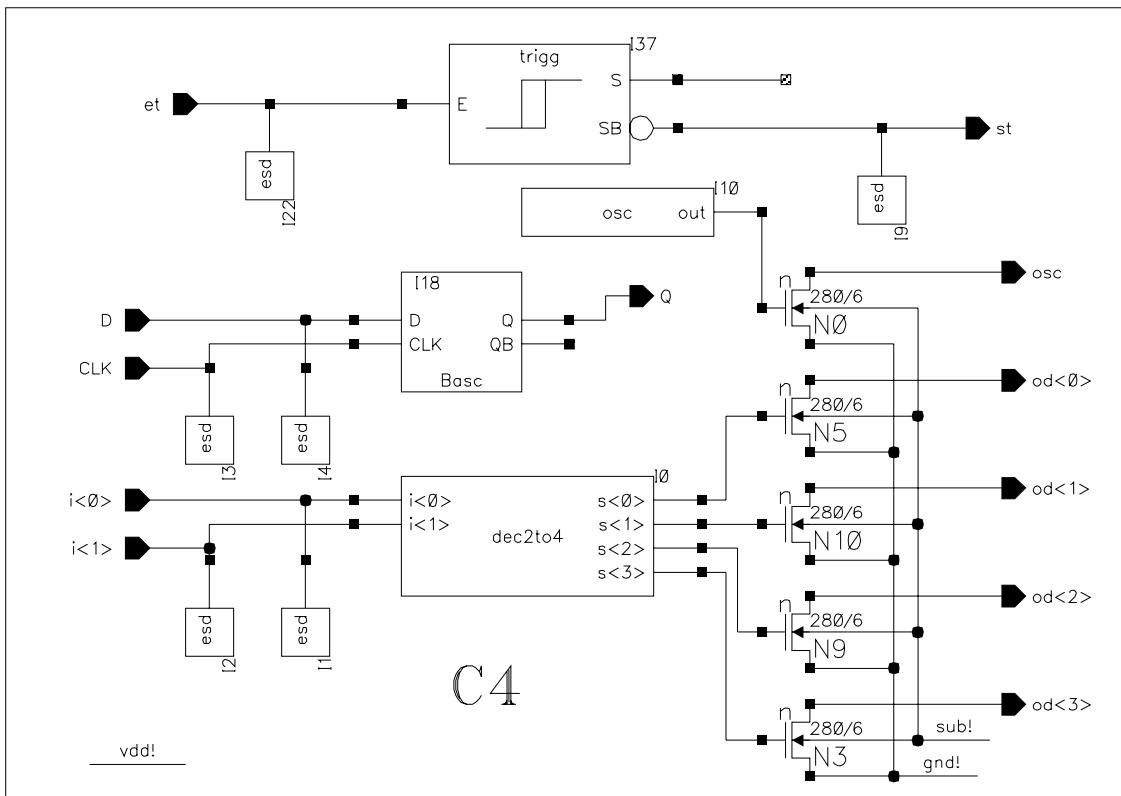


Note : l'oscillateur à courants de fuites fosc4 fait l'objet d'une documentation séparée.



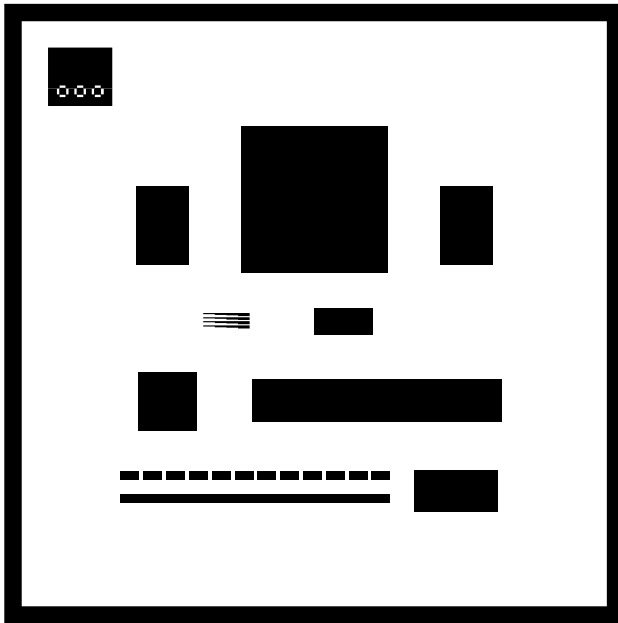


Process AIME : jeu de masques DTC4 : puce C3 : JLN 98

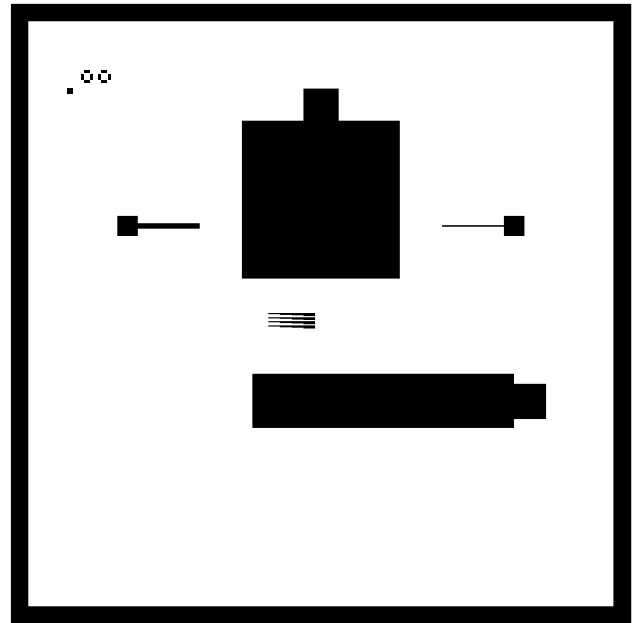


Process AIME : jeu de masques DTC4 : puce C4 : JLN 98

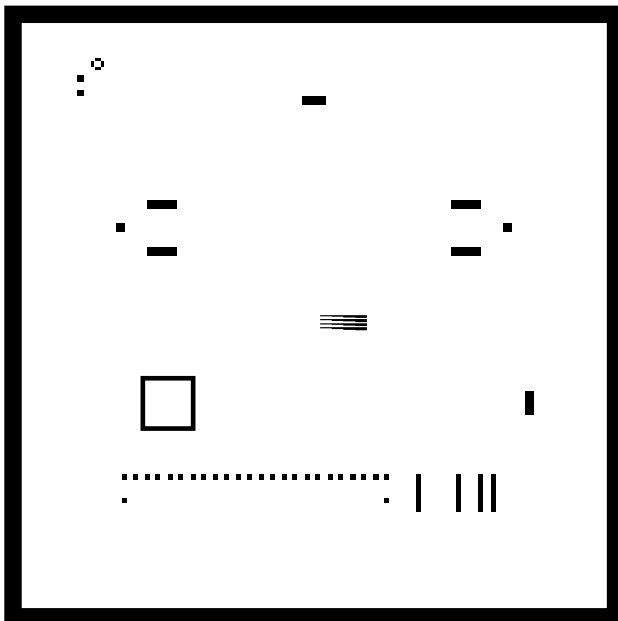
## 8. Annexe B : vue des masques séparés



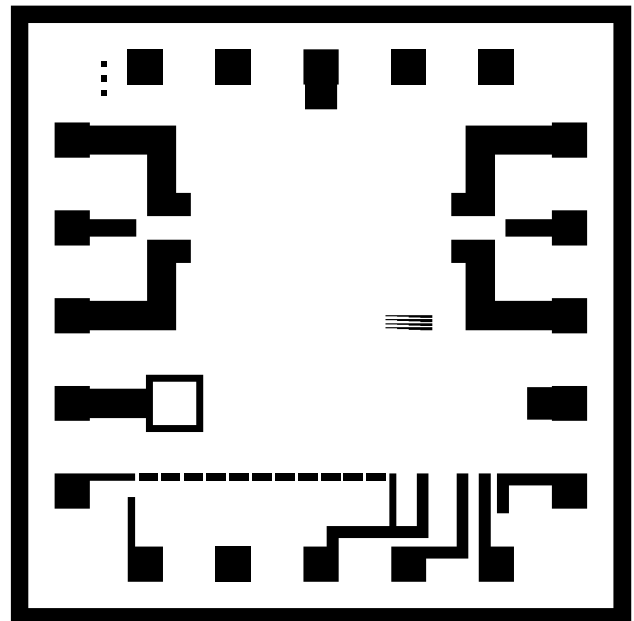
NIV. 1 : Zone Active



NIV. 2 : Polysilicium

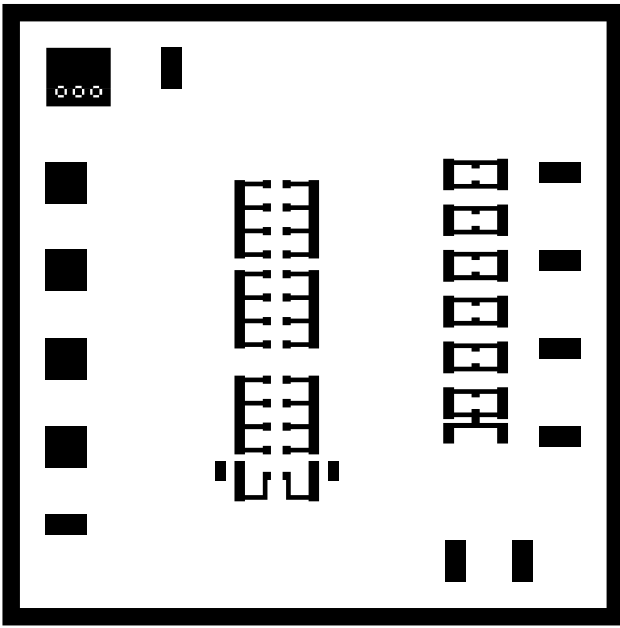


NIV. 3 : Contact

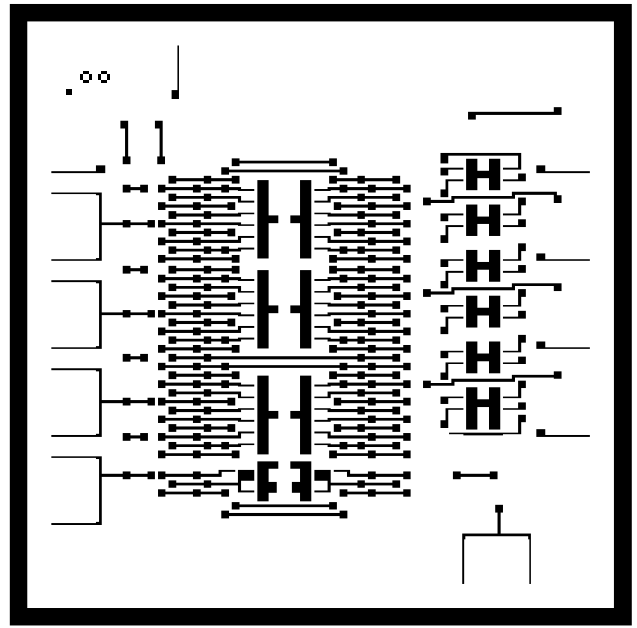


NIV. 4 : Alu

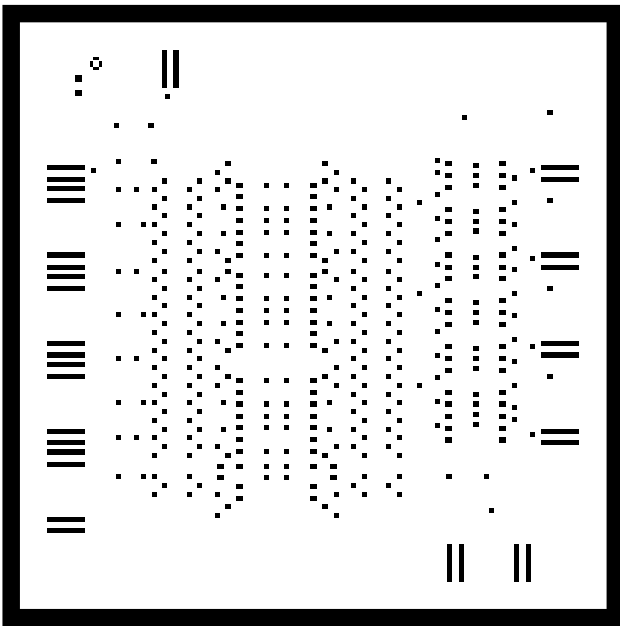
DTC4R : Puce C1



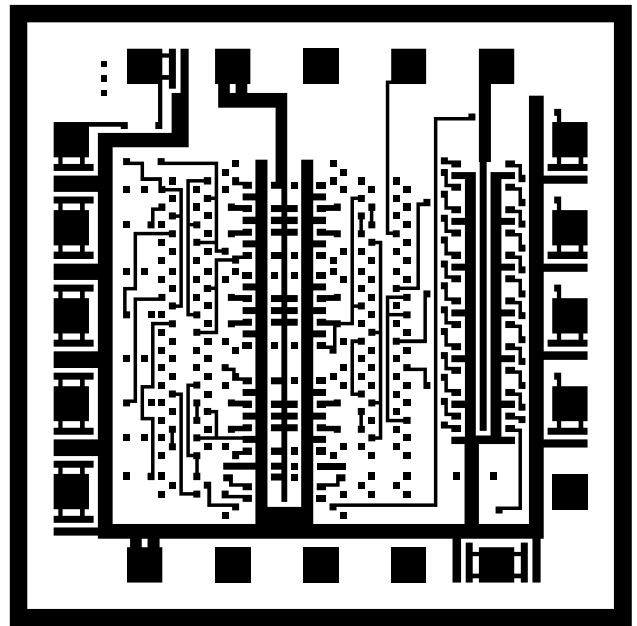
NIV. 1 : Zone Active



NIV. 2 : Polysilicium



NIV. 3 : Contact



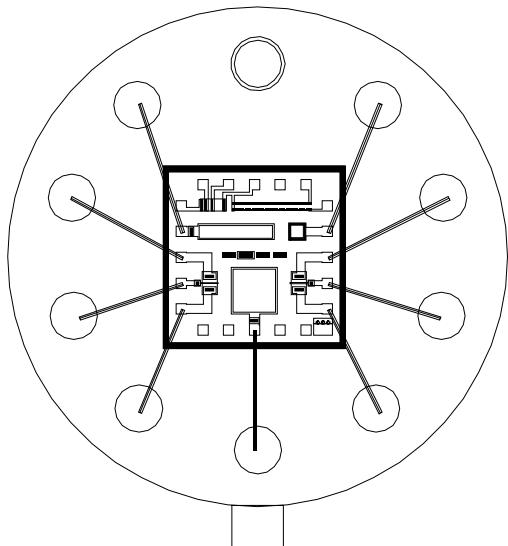
NIV. 4 : Alu

## DTC4R : Puce C4

## 9. Annexe C : Bondings

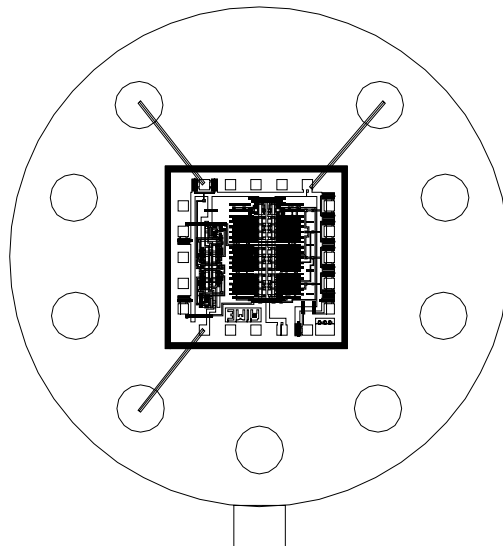
Microsoudures

C1



Microsoudures

C3 ou C4 (oscillateur)



C3 (sequenceur)

